

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-197756

(43)Date of publication of application : 11.07.2003

(51)Int.Cl.

H01L 21/022

H01L 21/3205

H01L 27/04

(21)Application number : 2001-395568

(71)Applicant : MATSUSHITA ELECTRIC IND CO  
LTD

(22)Date of filing : 27.12.2001

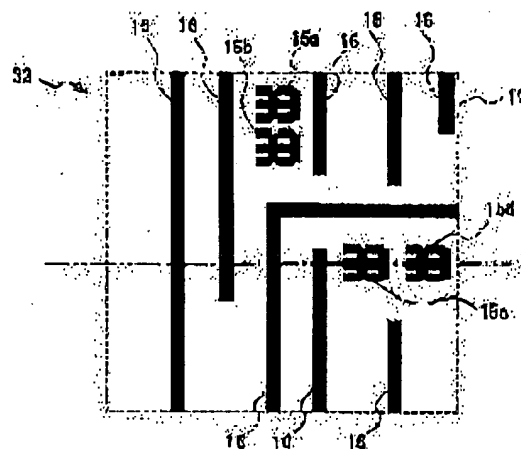
(72)Inventor : KISHIMOTO HIRONORI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit which easily detects a position on the semiconductor integrated circuit.

SOLUTION: The semiconductor integrated circuit 100 having a multilayer structure comprises position detecting patterns 15a-15d for detecting the position on the integrated circuit 100. The position detecting patterns 15a-15d are laid on a topmost wiring layer of the integrated circuit and formed in shapes for showing the coordinate value of the position on the integrated circuit 100.



## LEGAL STATUS

[Date of request for examination]

22.12.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

Searching PAJ

2/2 ページ

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2003-197756  
(P2003-197756A)

(43)公開日 平成15年7月11日(2003.7.11)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	データベース <sup>*</sup> (参考)
H 0 1 L	21/822	H 0 1 L 27/04	D 5 F 0 3 3
	21/3205	21/88	S 5 F 0 3 8
	27/04		

審査請求 未請求 請求項の数4 O L (全 5 頁)

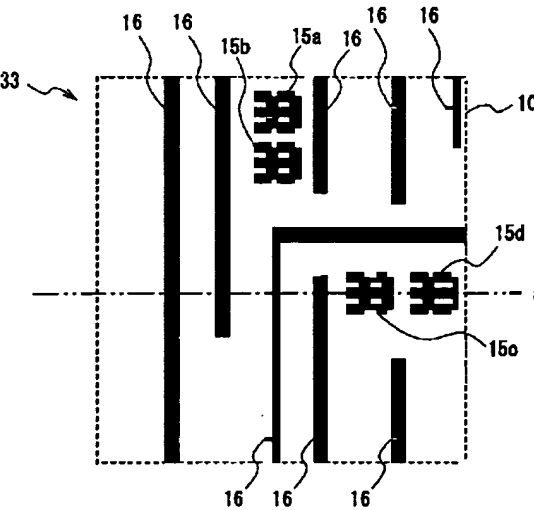
(21)出願番号	特願2001-395568(P2001-395568)	(71)出願人	000003821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成13年12月27日(2001. 12. 27)	(72)発明者	岸本 宏規 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74)代理人	100081813 弁理士 早瀬 憲一
		Fターム(参考)	5F033 UU01 WW00 VV12 XX36 XX37 5F038 CD10 EZ20

(54)【発明の名称】 半導体集積回路

(57)【要約】

【課題】 半導体集積回路上の位置を容易に検知できる半導体集積回路を提供することを目的とする。

【解決手段】 多層構造を有する半導体集積回路100の最上位の配線層に、半導体集積回路100上の位置を検知するための位置検知パターン15a~15dを配置し、この位置検知パターン15a~15dを、半導体集積回路100上の位置の座標を示す形状とした。



(2) 003-197756 (P2003-197756A)

## 【特許請求の範囲】

【請求項1】 多層構造を有する半導体集積回路において、少なくとも最上位の配線層と同層に、該半導体集積回路上の位置を検知するための、該配線層材料よりなる位置検知パターンを、配置した、ことを特徴とする半導体集積回路。

【請求項2】 請求項1に記載の半導体集積回路において、上記位置検知パターンは、該位置検知パターンの配置位置の座標を示す形状を有する、ことを特徴とする半導体集積回路。

【請求項3】 多層構造を有する半導体集積回路において、少なくとも最上位の絶縁層の表面上に、該半導体集積回路上の位置を検知するための位置検知パターンを、配置した、ことを特徴とする半導体集積回路。

【請求項4】 請求項3に記載の半導体集積回路において、上記位置検知パターンは、上記絶縁層材料よりなる、該位置検知パターンの配置位置の座標を示す形状を有する凸状部である、ことを特徴とする半導体集積回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路に関し、特に、半導体集積回路上の位置を示す位置検知パターンを配置した半導体集積回路に関するものである。

【0002】

【従来の技術】近年、半導体集積回路の高集積化や微細化が進むに従って、その不良が増加している。不良が発生した場合、不良箇所および不良原因を特定し、半導体集積回路に修正を施し、信頼性を向上させることが急務となる。ところが、半導体集積回路の回路規模が増大するほど、不良箇所の特定が困難となっている。

【0003】従来、半導体集積回路の不良解析では、SEM（走査型電子顕微鏡）などの電子顕微鏡により、その表面構造を観察し、配線の欠損やショートなどの不具合を有する不良箇所を探している。そして、SEMにより不良箇所を見つけると、レイアウト図面上で不具合を有する箇所を特定する。

【0004】また、不良箇所を特定すると、FIB（収束イオンビーム）装置により加工を施し、配線の修正などを行うこともある。この場合、加工位置の特定は、最上位の配線層の配線の形状や、配置されているダミーパターンの形状とレイアウト図面の回路データとの合せ込みなどで行っている。

【0005】

【発明が解決しようとする課題】しかしながら、半導体集積回路に目印となるパターンがない場合には、不良箇所の位置を検知し、レイアウト図面上で不良箇所を特定するのが非常に困難である。

【0006】また、半導体集積回路の最上位の配線層

に、下層の配線などの目印がない場合、レイアウト図面の回路データとの合せ込みによって位置を検知することが困難である。さらに、ダミーパターンなどの目印がない場合には、解析箇所の位置検知が困難であり、加工作業時に、位置検知のために煩雑な作業が要求されるという課題がある。

【0007】本発明は、上記のような問題点を解決するためのものであり、半導体集積回路上の位置を容易に検知できる半導体集積回路を提供することを目的とする。

【0008】

【課題を解決するための手段】上記の課題を解決するために、本発明（請求項1）にかかる半導体集積回路は、多層構造を有する半導体集積回路において、少なくとも最上位の配線層と同層に、該半導体集積回路上の位置を検知するための、該配線層材料よりなる位置検知パターンを、配置した、ことを特徴とする。

【0009】また、本発明（請求項2）にかかる半導体集積回路は、請求項1に記載の半導体集積回路において、上記位置検知パターンは、該位置検知パターンの配置位置の座標を示す形状を有する、ことを特徴とする。

【0010】また、本発明（請求項3）にかかる半導体集積回路は、多層構造を有する半導体集積回路において、少なくとも最上位の絶縁層の表面上に、該半導体集積回路上の位置を検知するための位置検知パターンを、配置した、ことを特徴とする。

【0011】また、本発明（請求項4）にかかる半導体集積回路は、請求項3に記載の半導体集積回路において、上記位置検知パターンは、上記絶縁層材料よりなる、該位置検知パターンの配置位置の座標を示す形状を有する凸状部である、ことを特徴とする。

【0012】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。なお、ここで示す実施の形態はあくまでも一例であって、必ずしもこの実施の形態に限定するものではない。

【0013】（実施の形態1）まず、本発明の請求項1または請求項2に記載の半導体集積回路を実施の形態1として、図面を参照しながら説明する。図1は、本実施の形態1に係る半導体集積回路の構成の一例を示すレイアウト図である。

【0014】図1に示すように本実施の形態1による半導体集積回路100には、基板10上に、特定の機能を有するブロックがレイアウトされている。つまり、基板10は、ロジック回路がレイアウトされているロジック部11と、記憶回路がレイアウトされている記憶部12と、アナログ回路がレイアウトされているアナログ部13と、その他の回路がレイアウトされている他機能部14と、を有する。これらの、ロジック部11、記憶部12、アナログ部13、他機能部14は、多層構造を呈する様々なパターンにより形成されている。

(3) 003-197756 (P2003-197756A)

【0015】この半導体集積回路100は、X軸方向およびY軸方向に分割され、分割した各ブロックにそれぞれの座標が付与されている。図1の33は、半導体集積回路100の左下隅を原点とした場合に、X軸方向に3つめ、Y軸方向に3つめのブロックである。

【0016】図2はブロック33の最上位の配線層を拡大したレイアウト図、図3は、ブロック33を線aで切断した断面図である。図2および図3において、15a～15dは位置検知パターン、16は配線である。位置検知パターン15a～15dは、各ブロックに配置された、そのブロックの座標を示す形状のパターンである。図2に示すように、ブロック33に配置された位置検知パターン15a～15dは、すべて、「3」を表す形状となっており、位置検知パターン15a、15bで、座標(3, 3)を示し、同様に、位置検知パターン15c、15dで、座標(3, 3)を示している。さらに、図示していない任意のブロックにも、そのブロックの座標を示す形状の位置検知パターン15a～15dが配置されている。つまり、位置検知パターン15a～15dは、アナログ部13のみに配置されるものではなく、ロジック部11、記憶部12、他機能部14にも配置されている。

【0017】また、図3に示すように、位置検知パターン15a～15dは、配線層に、配線16と同じ材料を用いて形成されている。この位置検知パターン15a～15dは、配線16と位置検知パターン15a～15dとの形状を有するフォトリソグラフィ技術を用い、配線16を形成する工程と同一の工程で、リソグラフィ技術およびエッチング技術により形成する。

【0018】以上のように、本実施の形態1による半導体集積回路100においては、半導体集積回路100の最上位の配線層に、半導体集積回路100上の座標を示す形状を有する位置検知パターン15a～15dを配置したので、不良解析時にSEMなどの電子顕微鏡で位置検知パターン15a～15dを検出することにより、位置確認を容易に行うことができる。

【0019】(実施の形態2)次に、本発明の請求項3または請求項4に記載の半導体集積回路を実施の形態2として、図面を参照しながら説明する。図4は、本実施の形態2に係る半導体集積回路100のブロック33の最上位の配線層および絶縁層を拡大したレイアウト図、図5は、ブロック33を線bで切断した断面図である。

【0020】図4および図5に示すように、本実施の形態2による半導体集積回路100の位置検知パターン17a、17bは、基板10上にレイアウトされている配線16を覆う絶縁層の表面上に形成されている。通常、絶縁層は透明な物質で形成され、その下層の配線16および位置検知パターン15a～15dを容易に透視することができる。図4には透視された配線16および位置検知パターン15a～15dも示している。

【0021】この位置検知パターン17a、17bは、実施の形態1による位置検知パターン15a～15dと同様に、半導体集積回路100を分割したブロックのそれぞれに配置された、そのブロックの座標を示す形状のパターンである。図4は、ブロック33に配置された位置検知パターン17a、17bの例を示しているので、位置検知パターン17a、17bは、それぞれ「3」を表す形状となっており、座標(3, 3)を示している。さらに、図示していない任意のブロックにも、そのブロックの座標を示す形状の位置検知パターン17a、17bが配置されている。

【0022】また、図5に示すように、位置検知パターン17a、17bは、配線16を覆って形成される絶縁層の表面上に、絶縁層と同一の材料を用いて、凸状に形成されている。

【0023】この位置検知パターン17a、17bは、位置検知パターン17a、17bの形状を有するフォトリソグラフィ技術を用い、リソグラフィ技術およびエッチング技術により形成する。

【0024】以上のように、本実施の形態2による半導体集積回路100においては、位置検知パターン17a、17bを半導体集積回路100の最上位の絶縁層の表面上に配置したので、配線16の間隔が狭く、配線16の間に位置検知パターン15a～15dを配置することができない場合でも、配線16とショートすることなく、半導体集積回路100の特性に影響を及ぼすことなく、位置検知パターン17a、17bを配置することができる。

【0025】また、位置検知パターン17a、17bを、半導体集積回路100の座標を示す形状を有する凸状部としたので、半導体集積回路100の最上位の絶縁層の凹凸を、SEMなどの電子顕微鏡で検出することにより、位置検知パターン17a、17bを検出することができる。そのうえ、位置検知パターン15a～15dおよび配線16をも検出することができるので、効率良く半導体集積回路100上の位置を検知することができる。また、FIB加工時においても、FIB加工装置に内蔵されている撮像手段を有する画像認識手段によって、位置検知パターン17a、17b、および位置検知パターン15a～15dを検出することにより、容易に加工位置を特定することができる。さらに、発光解析においても、絶縁層を通過した発光を観測することができるため、発光箇所の特特定にも有効である。

【0026】なお、位置検知パターン15a～15dおよび位置検知パターン17a、17bを形成する層は、最上層の配線層や絶縁層に限定するものではなく、中間層に形成しても同等の効果が得られる。

【0027】また、位置検知パターン15a～15dおよび位置検知パターン17a、17bの形状は、位置を確認できるようなものであればどのような形状でもよ

(4) 003-197756 (P2003-197756A)

い。

【0028】また、実施の形態1では、位置検知パターン15a～15dを2組、実施の形態2では、位置検知パターン17a、17bを1組配置した例を示したが、位置検知パターン15a～15dおよび位置検知パターン17a、17bを配置する数は、これに限定するものではなく、任意の数の位置検知パターンを配置しても同等の効果が得られる。

【0029】さらに、位置検知パターン17a、17bを形成する際に、位置検知パターンの形状を呈するフォトマスクが必要となり、使用するフォトマスクの数および製造工程が増加するが、例えば試作品の半導体集積回路のみに位置検知パターンを形成し、量産品の半導体集積回路には位置検知パターン17a、17bを形成しなくてもよい。この場合、量産時の製造工程や製造コストの増加を防ぐことができる。

【0030】

【発明の効果】以上説明したように、本発明（請求項1）の半導体集積回路によれば、多層構造を有する半導体集積回路において、少なくとも最上位の配線層と同層に、該半導体集積回路上の位置を検知するための、該配線層材料よりなる位置検知パターンを、配置したもので、としたので、SEMなどの電子顕微鏡で上記位置検知パターンを検出することにより、半導体集積回路上の位置を容易に検知することができ、不良解析時の不良箇所の特定に要する時間を短縮することができる。また、FIB加工時においても、FIB加工装置に内蔵されている撮像手段を有する画像認識手段によって上記位置検知パターンを検出することにより、加工位置を容易に特定することができる。

【0031】また、本発明（請求項2）の半導体集積回路によれば、請求項1に記載の半導体集積回路において、上記位置検知パターンは、該位置検知パターンの配置位置の座標を示す形状を有するもので、としたので、SEMなどの電子顕微鏡で上記位置検知パターンを検出することにより、半導体集積回路上の位置を容易に検知することができ、不良解析時の不良箇所の特定に要する時間を短縮することができる。

【0032】また、本発明（請求項3）の半導体集積回路によれば、多層構造を有する半導体集積回路において、少なくとも最上位の絶縁層の表面上に、該半導体集積回路上の位置を検知するための位置検知パターンを、配置したもので、としたので、SEMなどの電子顕微鏡で

上記位置検知パターンと、下層の配線とを検出することにより、半導体集積回路上の位置を効率よく検知することができ、不良解析時の不良箇所の特定に要する時間を大幅に短縮することができる。また、FIB加工時においても、FIB加工装置に内蔵されている撮像手段を有する画像認識手段によって上記位置検知パターンを検出することにより、加工位置を容易に特定することができる。さらに、発光解析時においても、絶縁層を通して発光を観測することができるので、発光箇所の特定にも有効である。

【0033】また、本発明（請求項4）の半導体集積回路によれば、請求項3に記載の半導体集積回路において、上記位置検知パターンは、上記絶縁層材料よりなる、該位置検知パターンの配置位置の座標を示す形状を有する凸状部である、としたので、上記位置検知パターンの凸状部を、SEMなどの電子顕微鏡で検出することにより、半導体集積回路上の位置を容易に特定することができ、不良解析時の不良箇所の特定に要する時間を短縮することができる。さらに、発光解析時においても、絶縁層を通過した発光を観測することができるので、発光箇所の特定にも有効である。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係る半導体集積回路の構成の一例を示すレイアウト図である。

【図2】本発明の実施の形態1に係る半導体集積回路の一部を拡大したレイアウト図である。

【図3】本発明の実施の形態1に係る半導体集積回路の図2に示した部分の断面図である。

【図4】本発明の実施の形態2に係る半導体集積回路の一部を拡大したレイアウト図である。

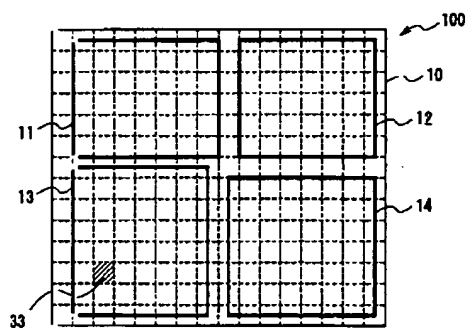
【図5】本発明の実施の形態2に係る半導体集積回路の図4に示した部分の断面図である。

【符号の説明】

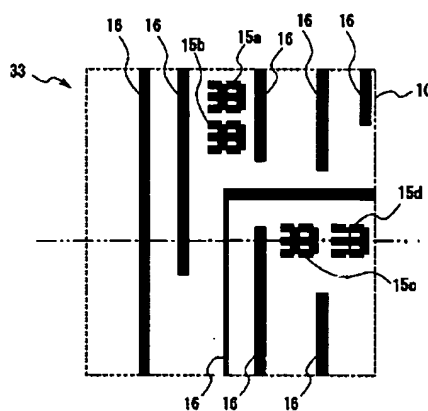
- 10 基板
- 11 ロジック部
- 12 記憶部
- 13 アナログ部
- 14 他機能部
- 15a、15b、15c、15d 位置検知パターン
- 16 配線
- 17a、17b 位置検知パターン
- 100 半導体集積回路

!(5) 003-197756 (P2003-197756A)

【図1】



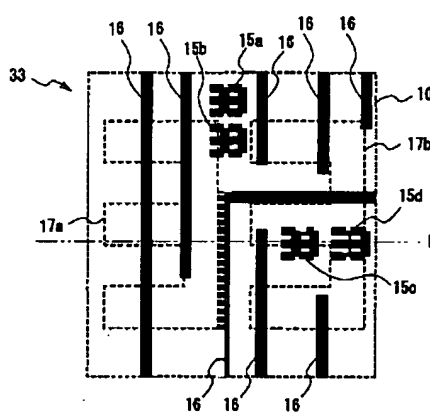
【図2】



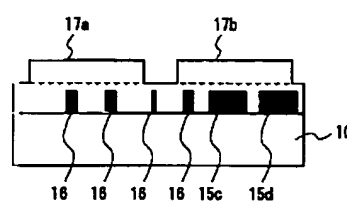
【図3】



【図4】



【図5】



BEST AVAILABLE COPY